

Block processing device

Publication number: CN1396748

Publication date: 2003-02-12

Inventor: HARUTA KAGANOI (JP); TAKESHI SHIZUME (JP); YASUYUKI IKUGAI (JP)

Applicant: NIPPON ELECTRIC CO (JP)

Classification:

- **International:** H04L12/46; H04L12/56; H04L12/46; H04L12/56; (IPC1-7): H04L12/56

- **European:** H04L12/56C

Application number: CN20021019229 20020309

Priority number(s): JP20010210161 20010711

Also published as:

US7095742 (B2)

US2003012198 (A1)

JP2003023437 (A)

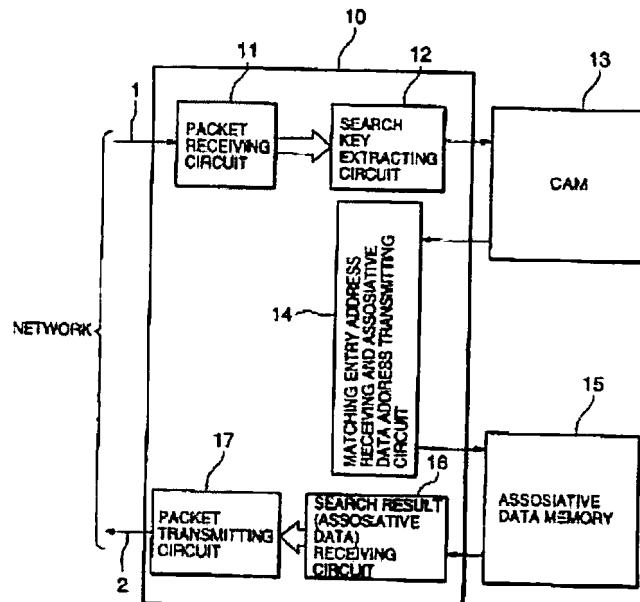
CA2375397 (A1)

[Report a data error here](#)

Abstract not available for CN1396748

Abstract of corresponding document: **US2003012198**

A packet receiving circuit 11 splits the packet received from a transmission channel 1 into a fixed length of cells and outputs the cells, a search key extracting circuit 12 extracts a predetermined search key from the above-mentioned cells, a CAM 13 performs retrieval based on the above-mentioned search key and outputs a memory address corresponding to the search key, a matching entry address receiving and associative data address transmitting circuit 14 calculates the memory address of an associative data memory 15 based on the above-mentioned memory address and outputs the information stored in the associative data memory 15 as associative data, a search result (associative data) receiving circuit 16 receives the above-mentioned associative data and performs header updating and destination address of the above-mentioned cells, and a packet transmitting circuit 17 outputs the above-mentioned cells in the form of a packet to a transmission channel 2.



Data supplied from the **esp@cenet** database - Worldwide



[12] 发明专利申请公开说明书

[21] 申请号 02119229.4

[43] 公开日 2003 年 2 月 12 日

[11] 公开号 CN 1396748A

[22] 申请日 2002.3.9 [21] 申请号 02119229.4

[30] 优先权

[32] 2001.7.11 [33] JP [31] 210161/2001

[71] 申请人 日本电气株式会社

地址 日本东京都

[72] 发明人 加贺野井晴大 镇目大 生贝康行

[74] 专利代理机构 中国专利代理(香港)有限公司

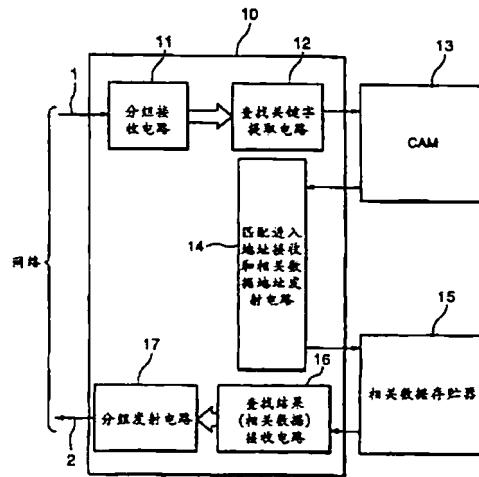
代理人 陈 霖

权利要求书 2 页 说明书 9 页 附图 7 页

[54] 发明名称 分组处理装置

[57] 摘要

本发明披露了分组处理装置，其中分组接收电路 11 把从传输信道 1 接收的分组分成固定长度的信元和输出该信元；检索关键字提取电路 12 从上述信元中提取预定的检索关键字；CAM13 基于上述检索关键字执行检索和输出对应于上述关键字的存储器地址；匹配入口地址接收和相关数据地址发射电路 14 基于上述存储器地址计算上述相关数据存储器 15 的存储器地址和输出作为相关数据的存储在相关数据存储器 15 中的信息；检索结果(相关数据)接收电路 16 接收上述相关数据和执行上述信元的首部更新和目的地址，和分组发射电路 17 输出上述分组形式的信元到传输信道 2。



1. 一种分组处理装置，用于在从所述传输信道接收的所述分组上执行目的地址之前输出分组到传输信道，它包括：

5 分组接收装置，用于输出经由上述传输信道以定长的拆分信元形式接收的分组；

检索关键字提取装置，用于从上述分组接收装置接收的上述信元中提取预定的检索关键字；

10 CAM，用于基于通过上述检索关键字提取装置提取的上述检索关键字执行检索和输出对应于上述关键字的存储器地址；

相关数据存储装置，用于至少存储目的地址信息和输出存储在输入存储器地址的信息；

15 相关数据读取装置，用于基于从上述 CAM 中接收的上述存储器地址计算上述相关数据存储装置的存储器地址和把存储器地址供给上述相关数据存储装置；

目的地址装置，用于基于通过上述相关数据存储装置读取的上述相关数据存储装置的信息，执行特殊信元的目的地址，和

分组发射装置，用于把从上述目的地址装置接收的信元送回到分组和输出分组到上述传输信道；

20 其中所述分组接收装置、检索关键字提取装置、CAM、相关数据存储装置、相关数据读取装置、目的地址装置和分组发射装置执行一个流水线处理。

25 2. 按照权利要求 1 的分组处理装置，其中所述分组接收装置、检索关键字提取装置、CAM、相关数据存储装置、相关数据读取装置、目的地址装置和分组发射装置的每一级的持续时间被设置在不超过输入到所述分组接收装置的分组的到达时间间隔内。

3. 按照权利要求 2 的分组处理装置，其中所述分组接收装置、检索关键字提取装置、CAM、相关数据存储装置、相关数据读取装置、目的地址装置和分组发射装置的处理时间被设置为不超过每一级的持续时间。

30 4. 按照权利要求 3 的分组处理装置，包括维护装置，用于在所述级的空闲时间期间执行至少上述 CAM 或相关数据存储装置之一的维护。

5. 按照权利要求 1—4 中至少一个的分组处理装置，包括缓冲器装置，用于在上述传输信道和上述分组接收装置之间和在上述传输信道和上述分组发射装置之间的定时调节。
6. 按照权利要求 1—5 中至少一个的分组处理装置，包括运算处理装置，
5 用于在至少一个到上述分组接收装置的随后步骤或一个到上述分组发射装置的前述步骤中执行关于上述信元的预定处理。

分组处理装置

5

背景技术

本发明涉及一种分组处理装置, 用于在路由器等中执行一个分组目的地址处理等。

分组处理装置已经使用在路由器等中, 用于执行一个分组目的地址处理等。

按照惯例, 当需要和通过软件处理时, 分组处理装置提供执行一种分组目的

10 地址处理等、一种 QOS 信息的解法或一种分组标题的新处理的方法。

但是快速处理不能通过软件处理执行分组目的地址处理等的方法加以执行。

因此, 一种通过硬件配置的实现方法被认为解决了上述问题。

然而, 在通过软件执行目的地址处理的情况下, 例如用于执行一个分类以通过一个字段识别分组流的多字段 (Multi Field) 分类表的多个查阅表、一个用
15 于执行前向具有意识的流的流目的地址表等, 必须被建立, 用于处理多协议或多层。同时, 提供仅仅用于执行每一个上述独立地处理的电路或表的配置引起
电路刻度扩大的问题。

发明的概述

本发明的一个目的是提供一种具有简单的结构能够快速地执行一个分组目的地址处理的分组处理装置。

按照本发明, 一种同于执行从传输信道中接收的分组目的地址和输出上述分组到上述传输信道的分组处理装置包括:

分组接收装置, 用于输出经由上述传输信道以定长的拆分信元形式接收的分组,

25 检索关键字提取装置, 用于从上述分组接收装置接收的上述信元中提取预定的检索关键字,

内容寻址存储器 (举例来说, 下文中作为 CAM 提到), 用于基于上述检索关键字提取装置提取的上述检索关键字执行检索和输出对应于上述关键字的存储器地址,

30 相关数据存储装置, 用于存储最少的地址信息和输出存储在输入存储器地址的

5 信息，
相关的数据存储装置的存储器地址和把存储器地址提供给上述相关数据存储装置，
相关的数据存储装置，用于基于上述CAM中接收的上述存储器地址计算上述
目的地址装置，用于通过上述相关数据存储装置读取的上述相关数据存储
装置的信息，执行特殊信息的目的地址，和
提供分组发射装置，用于把从上述目的地址装置读取的上述信息元送到分组和输出
分组到上述传输通道。分组处理装置的特征在于上述分组接收装置、检索关键字
字提取装置、CAM、相关数据存储装置、相关数据读取装置、目的地址装置和
分组发射装置执行一个流水线过程。

10 分组接收装置输出经由上述传输通道以定长的拆分信息元形式接收的分组。检索关键字提取装置从上述分组接收装置读取的上述信息元中提取预定的检索关键字。CAM基于通过上述检索关键字提取装置提取的上述检索关键字执行检索和
输出对应于上述关键字的存储器地址。相关数据读取装置基于从上述CAM中
接收的上述存储器地址计算上述相关数据存储装置的存储器地址和把存储器地址
提供给上述相关数据存储装置。目的地址装置基于通过上述相关数据读取装置
读取的上述相关数据存储装置读取的信息执行特殊信息的目的地址。和分组发射装置
15 读取的上述相关数据存储装置的信息执行上述相关数据读取装置。目的地址装置把从上述目的地址装置读取的上述信息元送到分组和输出分组到上述传输通道。
同时，上述分组接收装置、检索关键字提取装置、CAM、相关数据存储装置
顺便说一句，上述分组接收装置、检索关键字提取装置、CAM、相关数据
相关数据读取装置、目的地址装置和分组发射装置执行一个流水线过程。

20 同时，上述分组接收装置、检索关键字提取装置、CAM、相关数据存储装置
顺便说一句，上述分组接收装置、检索关键字提取装置、CAM、相关数据
相关数据读取装置、目的地址装置和分组发射装置每一级的持续时间
可以这样构成以便至多把装置的分组到达时间间隔输入到上述分组接收装置
间可以这样构成以便至多把装置的分组到达时间间隔输入到上述分组接收装置
25 同时，上述分组接收装置、检索关键字提取装置、CAM、相关数据存储装置
顺便说一句，上述分组接收装置、检索关键字提取装置、CAM、相关数据
相关数据读取装置、目的地址装置和分组发射装置的处理时间可以被这样
构成，以便设置其短于每一级的持续时间。

30 它用时间期间执行至少一个上述CAM或相关数据存储装置的维护。
此外，分组处理装置可以这样构成，以便其包括维护装置，用于在上述级的
而且，分组处理装置可以这样构成，以便其包括冲器装置，用于在上述级的
输出通道和上述分组接收装置之间和在上述传输通道和上述分组发射装置之间的
而且，分组处理装置可以这样构成，以便其包括缓冲器装置，用于在上述传

定时调节。

此外，分组处理装置可以这样构成，以使其包括运算处理装置，用于在至少一个到上述分组接收装置的随后步骤或一个到上述分组发射装置的前述步骤中执行关于上述信元的预定处理。

5

附图的简述

图 1 是与本发明第一实施例有关的分组处理装置的框图；

图 2 是与本发明第一实施例有关的分组处理装置的时序图；

图 3 是与本发明第二实施例有关的分组处理装置的框图；

图 4 是与本发明第二实施例有关的分组处理装置的时序图；

10

图 5 是与本发明第三实施例有关的分组处理装置的框图；

图 6 是与本发明第四实施例有关的分组处理装置的框图；

图 7 是与本发明第五实施例有关的分组处理装置的框图。

优选实施例的详细描述

图 1 是与本发明第一实施例有关的分组处理装置的框图。例如可应用第一实施例的分组处理装置的设备之一是路由器。

在图 1 中，11 表示一个作为分组接收装置的分组接收电路，12 表示一个作为检索关键字提取装置的检索关键字提取电路，13 表示能够流水线检索的一个 CAM，14 表示一个作为相关数据提取装置的匹配入口(Matching Entry)地址接收和相关数据地址发射电路、15 表示一个作为相关数据存储装置的相关数据存储器、16 表示一个作为目的地址装置的检索结果(相关数据)接收电路，和 17 表示一个作为分组发射装置的分组发射电路。并且上面提到的每一个元件都是由硬件构成的。

顺便说一句，CAM13 不但具有存储功能，而且具有检索功能。当同样的数据作为预先存储在 CAM 中的数据被输入到 CAM13 时，CAM13 输出数据被存储的 CAM13 的地址。CAM 能够 LPM (最长标头匹配) 检索和各种比特宽度的检索和能够快速的执行与检索关键字的比特宽度和种类无关的检索。另外，因为 CAM 具有能够执行检索而不会招致降低的特征，当存储在 CAM13 中的数据增大时，即使在数据量变得更大的情况下，快速检索也是可能的。

另一方面，在相关数据存储器中存储地址信息、分类信息等分组。

30 顺便说一句，分组接收电路 11、检索关键字提取电路 12、匹配入口(Matching

Entry)地址接收和相关数据地址发射电路 14、检索结果(相关数据)接收电路 16 和分组发射电路 17 构成作为分组处理装置的分组处理部分 10。

分组接收电路 11 接收一个可变长度的分组, 例如一个 IP(网际协议)分组, 同时输出固定长度的拆分信元形式的信号, 例如 ATM(异步传输模式)信元。

5 下文中, 从分组接收电路 11 输出的信号称作信元。

通过 n 时钟流水线的每一级, 从分组接收电路 11 输出的信元被处理转接到分组处理装置的每一个元件的每一级(分组接收电路 11, 检索关键字提取电路 12、CAM13、匹配入口(Matching Entry)地址接收和相关数据地址发射电路 14、相关数据存储器 15、检索结果(相关数据)接收电路 16 和分组发射电路 17)。

10 因为 IP 分组的地址信息和 QOS 的信息在多数情况下存储在首部部分。如果尺寸大于信元的分组被输入到分组接收电路 11 和分组被分成多个信元以从分组接收电路 11 输出, 仅仅第一到达信元在每一级处理, 第二到达的和其后到达的信元没有特殊的处理。因此, 后来的处理仅仅执行在第一到达信元, 同时流水线的每一级被转接而不需要处理其它随后的信元。

15 首先, 检索关键字提取电路 12 从分组接收电路 11 接收的信元中提取一个所需的检索关键字。下一步, 通过输入上述检索关键字到能够流水线检索的 CAM13, 检索在 CAM13 中被执行。顺便说一句, 检索关键字是用于解决传送分组的目的地和分类详细传送的分组种类的关键字。同时如果是 IP 分组, 例如标题的目的地址的字段、发送器的地址、协议类型、服务类型等作为检索关键字被使用。

20 基于从检索关键字提取电路 12 输入的检索关键字, CAM13 执行检索处理, 同时输出一个 CAM13 的存储器地址(存储检索关键字的 CAM13 的存储器地址), 作为检索的过程它是间歇处理的。

25 匹配入口(Matching Entry)地址接收和相关数据地址发射电路 14 接收来自 CAM13 的上述存储器地址, 和计算相关数据存储器 15 的存储器地址, 其中基于去连接 CAM13 的地址和相关数据存储器 15 的地址的规则, 来自上述存储器地址的实际相关数据被存储。

30 然后, 通过把存储器地址从匹配入口(Matching Entry)地址接收和相关数据地址发射电路 14 给到相关数据存储器 15, 实际相关数据就可以从相关数据存储器 15 获得。换句话说, 相关数据存储器 15 输出从匹配入口(Matching Entry)地址接

收和相关数据地址发射电路 14 输入到检索结果（相关数据）接收电路 16 的存储在上述存储器地址上的数据（相关数据）。

5 基于上述相关数据，检索结果（相关数据）接收电路 16 执行所需首部更新和关于分组（直接是信元）的目的地址，同时输出分组到分组发射电路 17。分组发射电路 17 合并多个通过分组接收电路 11 分解的信元成一个分组，并输出跟新的分组到网络。

当保持没有拥挤的速度时，通过提供 n 时钟在不太大于分组最短到达时间间隔（等于定长的信元尺寸）的一个值上配置的流水线级，在来自分组接收电路 11 经过本发明构成的流水线的分组成功的到达的情况下，分组处理成为可能。

10 在具有提供的 n 时钟流水线的每一级，在检索关键字提取电路 12 和 CAM13 中不仅每个分组的一个检索处理，而且每个分组的多个检索都成为可能。同时可以获得不但一个，而且多个与分组有关的用于执行处理的信息。

15 此外，通过在稍高于从分组接收电路 11 实际到达的分组具有的速度上操作上述流水线配置，流水线过程的每一级可以提供有周期性的空闲时间。同时通过在附图中未示出的维护装置，使用上述空闲时间，存储在 CAM13 中的数据的维护例如审查、跟新等都可以被执行。

20 图 2 是在图 1 中所示的分组处理装置的时序图。为了简化这种叙述，三个信元成功到达的情况在图 2 中描述。同时，流水线的时钟周期（每一级的时钟号 n ）被假定为八个时钟。整个处理包括由标记 11 到 17 表示的 7 个流水线级。标记 11 到 17 中的每一个描述了具有与图 1 中所示分组处理装置的元件标记相同的元件的处理，换句话说，就是从分组接收电路 11 到分组发射电路 17。下文中，参照图 1 和图 2 详细地的描述本发明第一实施例的操作。

25 分组接收电路 11 经由传输信道 1 从网络接收分组，同时输出由接收的分组分成的定长信元。在本发明中，上述信元的每一个都具有八个时钟的长度。通过下文中的八个时钟流水线，上述信元被处理以转接到从检索关键字提取电路 12 到分组发射电路 17 的每一级。

30 当接收分组时，首先，分组接收电路确定何种类型的分组被检索和什么是所需的检索关键字，作为按照分组类型的分类方法，在 IP 分组被包裹的以太网中，通过在以太网的首部确定字段（有效载荷类型），作为一个 IP 分组的分组类型被分类。同时作为检索关键字，例如在作为上述提及的 IP 分组的情况下，提供

信号将被确定，而无论信号是第一信号，或在分组接收电路 11 或检索关键字
图 2 中，三个信号成功的到达每一级，同时如果第一和第二信号构成一个分组，
最后，一个更新的分组从分组发射电路 17 经由传输信道 2 输出到网络。在
现。

同时所需要的处理可以通过结合多种相关信息或把优先权分配给相关信息予以实
以得到的，即响应于在每一个检索结果中获得的相关数据的处理是可以完成的，
如果多种检索指令在检索关键字提取电路 12 中给出，因为多种相关信息也是可
执行所需要的更新和相对应于分组（直接到信号）的目的地址。顺便说一句，
作为检索的结果获得的相关数据从相关信息存储器 15 输出到检索结果（相
关数据）接收电路 16，同时基于上述相关信息，检索结果（相关信息）接收电路
15 的相关信息的读出令同时运行时，执行检索处理而一直没有浪费。

顺便说一句，基于上述相关信息地址，当从检索关键字提取电路 12 到
CAM13 的检索关键字传递处理、从 CAM13 到匹配入口 (Matching Entry) 地址接
收和相关信息地址发射电路 14 的相关信息地址输出处理和到相关信息存储器
15 的地址（相关信息地址），并把相关信息地址给到相关信息存储器 15。

如果在检索关键字提取电路 12 的处理级 12 上执行多种检索，那么上述操作相对于每一个检索被重复。
(m: 自然数) 的持续时间检索的结果下，期间发送地址到匹配入口 (Matching
Entry) 地址接收和相关信息地址发射电路 14。匹配入口 (Matching Entry) 地址接收
CAM13 接收来自检索关键字提取电路 12 的检索关键字，和在通过 m 时钟
和相关信息地址发射电路 14 接收上述地址以计算存储实相关信息的相关数据
存储器 15 的地址 (相关信息地址)，并把相关信息地址给到相关信息存储器 15。
CAM13 的检索关键字传递处理、从 CAM13 到匹配入口 (Matching Entry) 地址接
收和相关信息地址发射电路 14 的相关信息地址输出处理和到相关信息存储器
15 的地址（相关信息地址），并把相关信息地址给到相关信息存储器 15。

因此，在执行处理的每一级上，检索关键字提取电路 12 不但提取一种，而且提
取一种以上适合一级（在本发明中，对于作为提供八个小时钟一级的最大八个
时间，检索是可能的）的检索关键字，同时把一个检索指令给 CAM13。因为检
索种类的增加，所以检索关键字提取电路 12 执行处理的级别的数量可以增加或流
发明所述的前提是 CAM13 能够执行检索，换句话说，检索响应于每一个时钟。
通过输出上述检索关键字到 CAM13 来给出一个检索指令。顺便说一句，本
下一部的目的地址字段、发送器的地址、协议类型、服务类型等。

取电路 12 的级上。同时如果信元不是第一个到达，则上述处理不被执行，同时每一个流水线被转接。

另外，通过在稍高于从分组接收电路 11 实际到达的分组具有的速度上操作流水线配置，则在流水线处理期间，空闲时间（级）可以周期性的提供，同时 5 通过在附图中未示出的维护装置，CAM13 或外部存储器 15 的维护可以使用上述空闲时间予以时间。

如上所述，涉及第一实施例的分组处理装置是一种特别用于执行从传输信道接收的分组目的地址的分组处理装置，和输出上述分组到上述传输信道，包括：

10 分组接收电路 11，用于输出以定长的拆分信元形式经由传输信道 1 接收的分组，

检索关键字提取电路 12，用于从上述分组接收电路 11 接收的上述信元中提取预定的检索关键字，

CAM13，用于执行基于通过上述检索关键字提取电路 12 提取的上述检索关键字的检索和输出对应于上述关键字的存储器地址，

15 相关数据存储器 15，用于存储最小的地址信息和输出存储在输入存储器地址的信息，

匹配入口地址接收和相关数据地址发射电路 14，用于基于从上述 CAM13 中接收的上述存储器地址计算对应于上述 CAM13 的存储器地址的上述相关数据存储器 15 的存储器地址和把存储器地址供给上述相关数据存储器 15，

20 检索结果（相关数据）接收电路 16，用于基于通过上述匹配入口地址接收和相关数据地址发射电路 14 读取的上述相关数据存储器 15 的信息，执行特殊信元的目的地址，和

分组发射电路 17，用于通过合并来自检索结果接收电路 16 的信元来产生分组，和输出分组到上述传输信道 2。分组处理装置的特征在于上述分组接收电路

25 11、检索关键字提取电路 12、CAM13、相关数据存储器 15、匹配入口地址接收和相关数据地址发射电路 14、检索结果接收电路 16 和分组发射电路 17 执行一个流水线过程。

当保持没有拥挤的速度时，通过提供 n 时钟在不太大于分组最短到达时间间隔（等于定长的信元尺寸）的一个值上配置的流水线级，在来自分组接收电路

30 11 经过本发明构成的流水线的分组成功的到达的情况下，分组处理成为可能。

因此，本发明的分组处理装置可以应用的，例如用到高速路由器的转发引擎。

同时在具有提供的 n 时钟流水线的每一级，在检索关键字提取电路 12 和 CAM13 中不仅每个分组的一个检索处理，而且多个检索处理也是可能的，同时不但相对于一个分组的一个而且多个处理可以被执行或相对于一种被分配给通过多个检索获得的优先权的相关数据的处理也可以被执行。

此外，通过在一个 CAM13 中建立多个表，在一个电路中的控制和检索成为可能，这归因于电路的按比例缩小。

图 3 是涉及本发明第二实施例的分组处理装置的框图，同时它的附图标记与图 1 中的附图标记相同。同时图 4 是显示图 3 示出的分组处理装置的时序图。

与上述第一实施例不同的第二实施例包括一个作为缓冲器装置的用于调节处理的时序的输入缓冲器 18，它输出接收的分组到分组接收电路 11；和一个作为缓冲器装置的用于调节处理的时序的输出缓冲器 19，它输出从分组发射电路 17 接收的分组。

在第二实施例中，从分组接收电路 11 到分组发射电路 17 的流水线级具有一个短于输入分组到输入缓冲器 18 的周期和从输出缓冲器 19 输出分组周期的周期。因此，输入缓冲器 18 和输出缓冲器 19 被建立，用于执行在传输信道 1 和 2 之间发射的分组周期的调节和在分组处理装置中时序的处理。

因此，免除任何种类的处理空闲时间（图 4 中的 M）可以被提供在分组处理装置中，通过与外部到达分组的周期相比缩短在分组处理装置中的流水线周期。同时，不需要任何复杂的冲突控制，上述的空闲时间可以被利用执行存储在 CAM13 或相关数据存储器 15 中的数据的更新。

图 4 是一个时序图的实例。换句话说，输入到输入缓冲器 18 的信元周期和从输出缓冲器 19 输出的信元周期彼此是相同的，同时从分组接收电路 11 到分组发射电路 17 的流水线处理被执行在输入到输入缓冲器 18 的信元周期和从输出缓冲器 19 输出的信元周期的五分之四个周期内。

因此，即使信元在输入缓冲器 18 和输出缓冲器 19 的周期内成功的到达的情况下，免除任何种类的处理的一级确实提供有相对于分组接收电路 11 到分组发射电路 17 的一级的五分之一周期。

图 5 是涉及本发明第四实施例的分组处理装置的框图，同时它的附图标记与图 1 中的附图标记相同。

在与上述第一实施例不同的第三实施例中在分组接收电路 11 和检索关键字提取电路 12 之间提供一个算术处理电路 110。

尽管当可变长度的分组被接收时，上述第一和第二实施例被这样安置以使仅仅处理一个第一到达信元，一种可能性出现了，其中所有的分组必须执行预定的算法，例如在路由器等中分组的加密。因此，提供算术处理电路 110，其中不仅相对于第一到达信元，而且相对于其它信元的一个预定的算术处理被执行。作为关于分组的一个预定算法处理的实例，在以太网分组的末端的执行帧检验序列的处理被命名。这样，处理在所有可变长度的分组上执行算法处理的结果是可能的。

图 7 是与本发明第五实施例有关的分组处理装置的框图，同时它的附图标记与图 1、3、5、6 中的附图标记相同。

第五实施例的配置包括从第二实施例到第四实施例的所有元件，因此不需要任何复杂的冲突控制就可以执行 CAM13 和相关数据存储器 15 的维护。

另外，因为上述第三实施例到第五实施例具有提供的算法处理电路 110，用于至少在到分组接收电路 11 的一个随后步骤和到分组发射电路 17 的先前步骤上，通过执行关于信元的一个预定处理，在所有分组上执行一个预定处理（例如，保密的处理或 FCS 的包括），在更新标题信息之后当接收或执行一个关于所有分组的一个预定算法处理时执行一个相对于分组的特殊的算法处理成为可能。

按照本发明，分组目的地址等的处理可以使用简单的结构快速的执行。

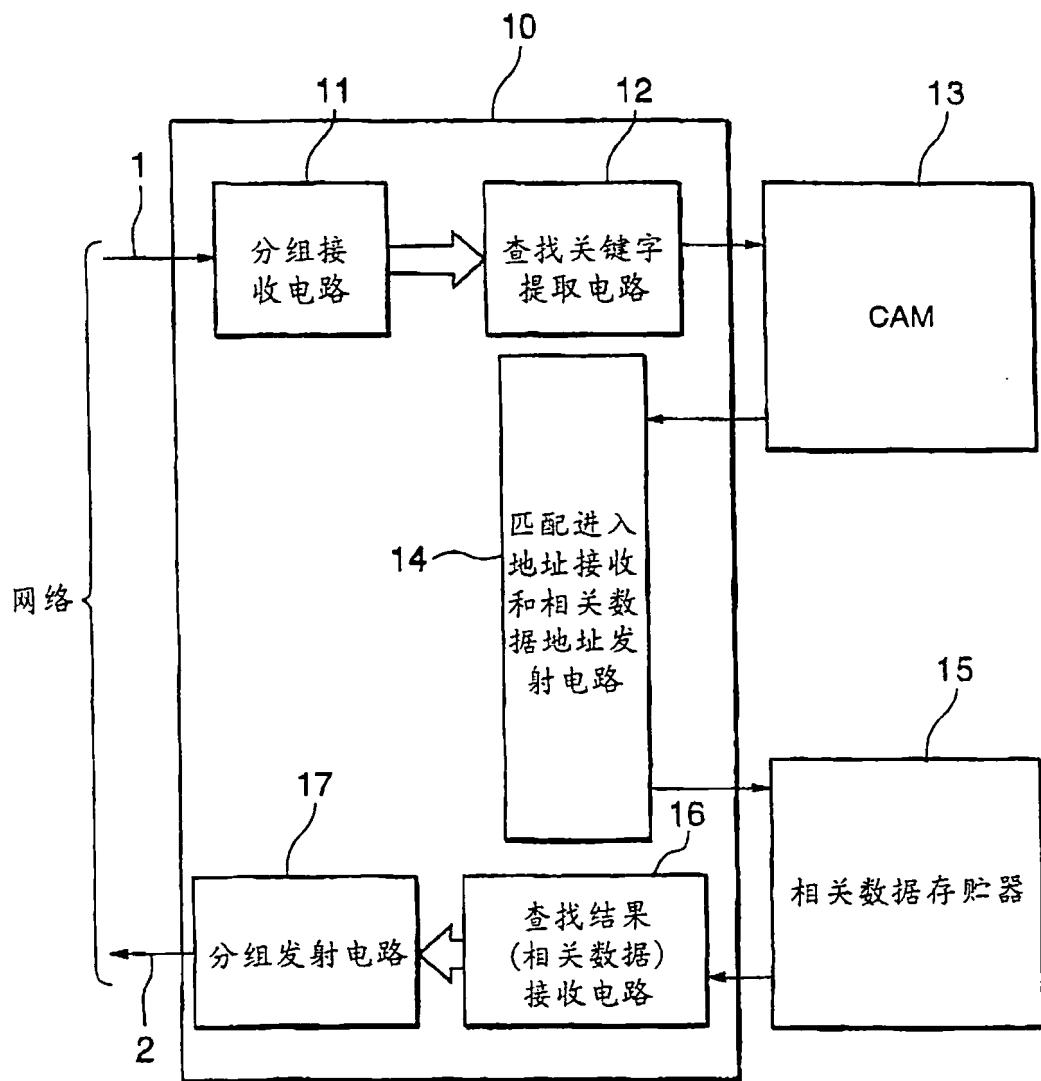


图 1

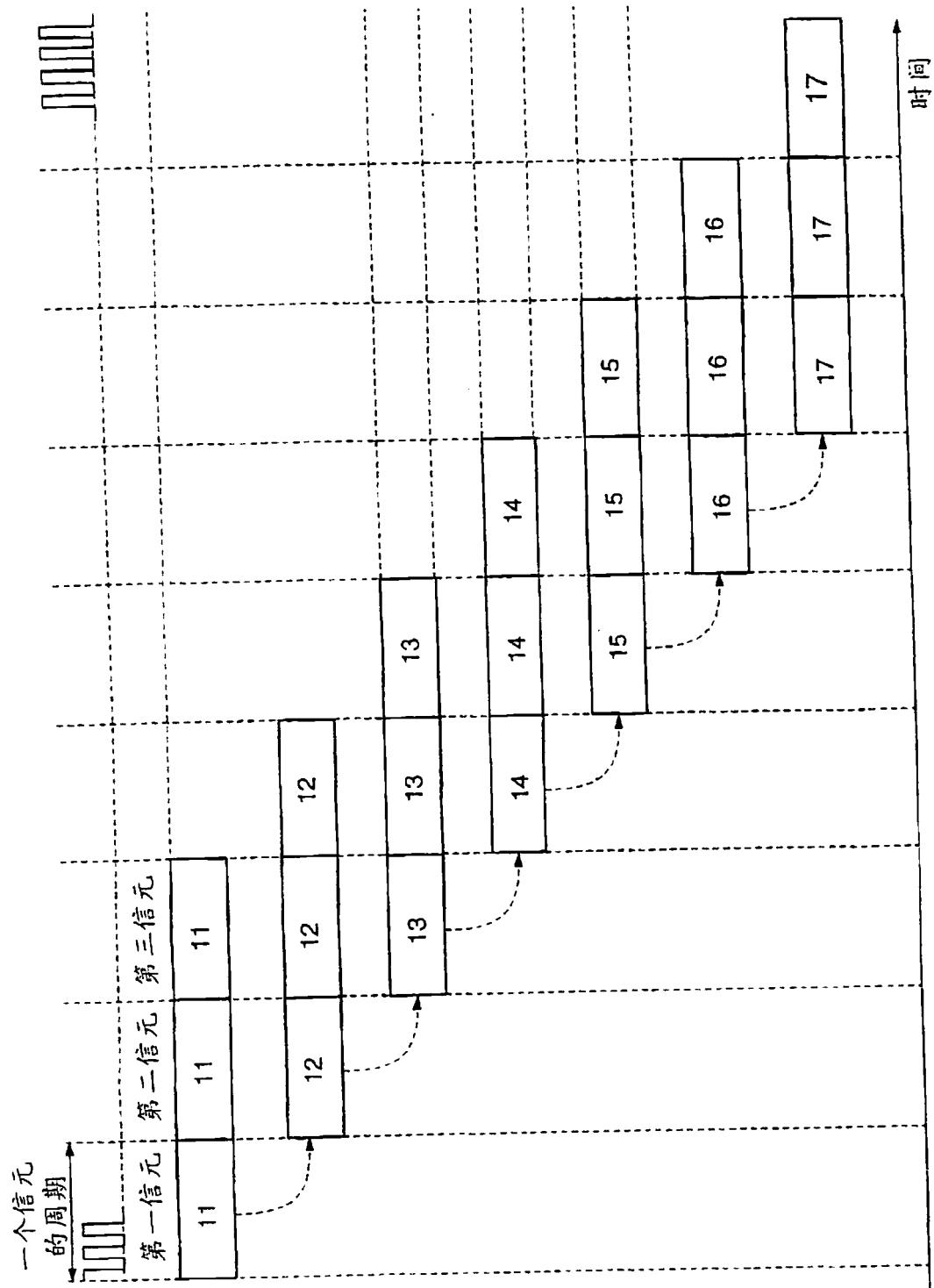


图 2

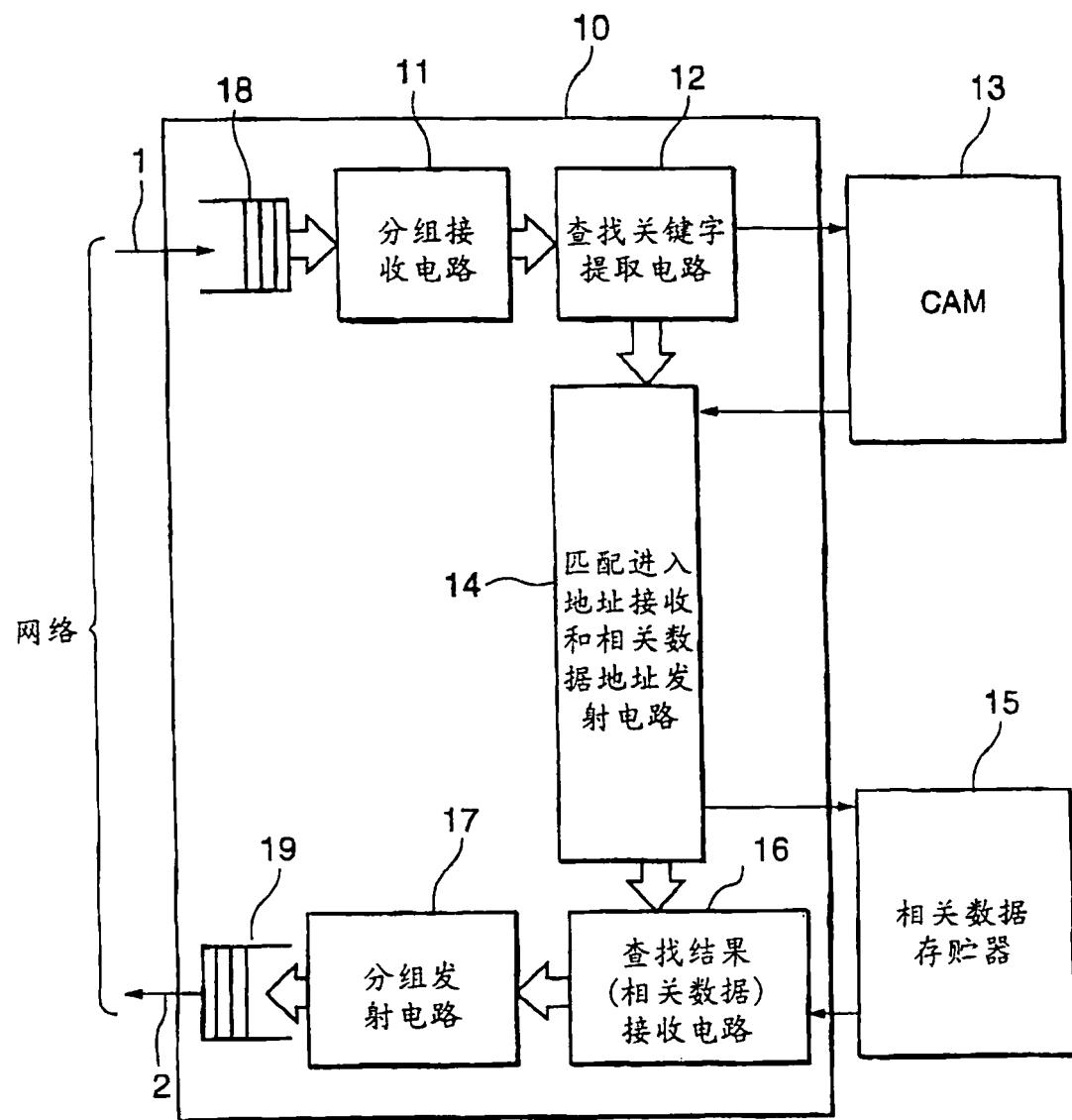


图 3

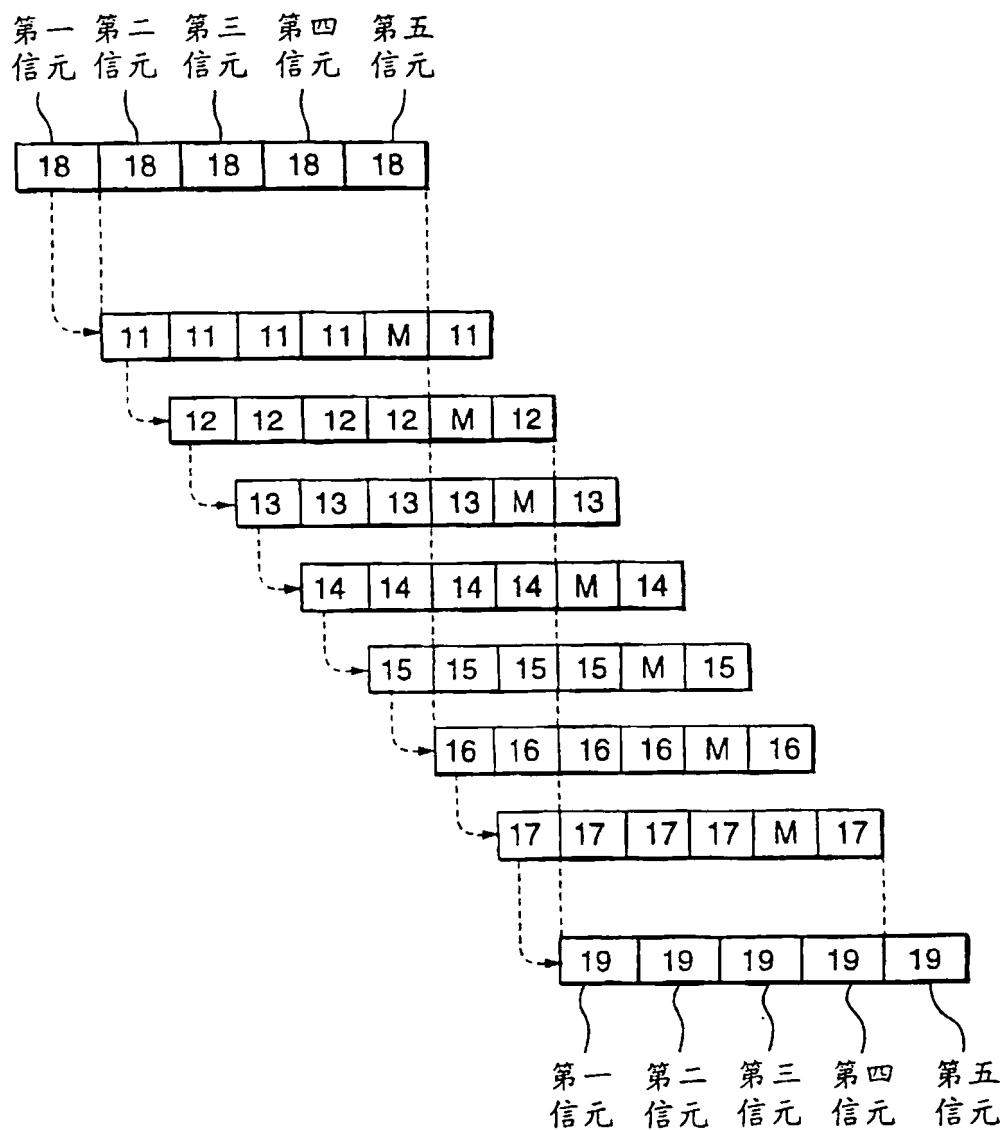


图 4

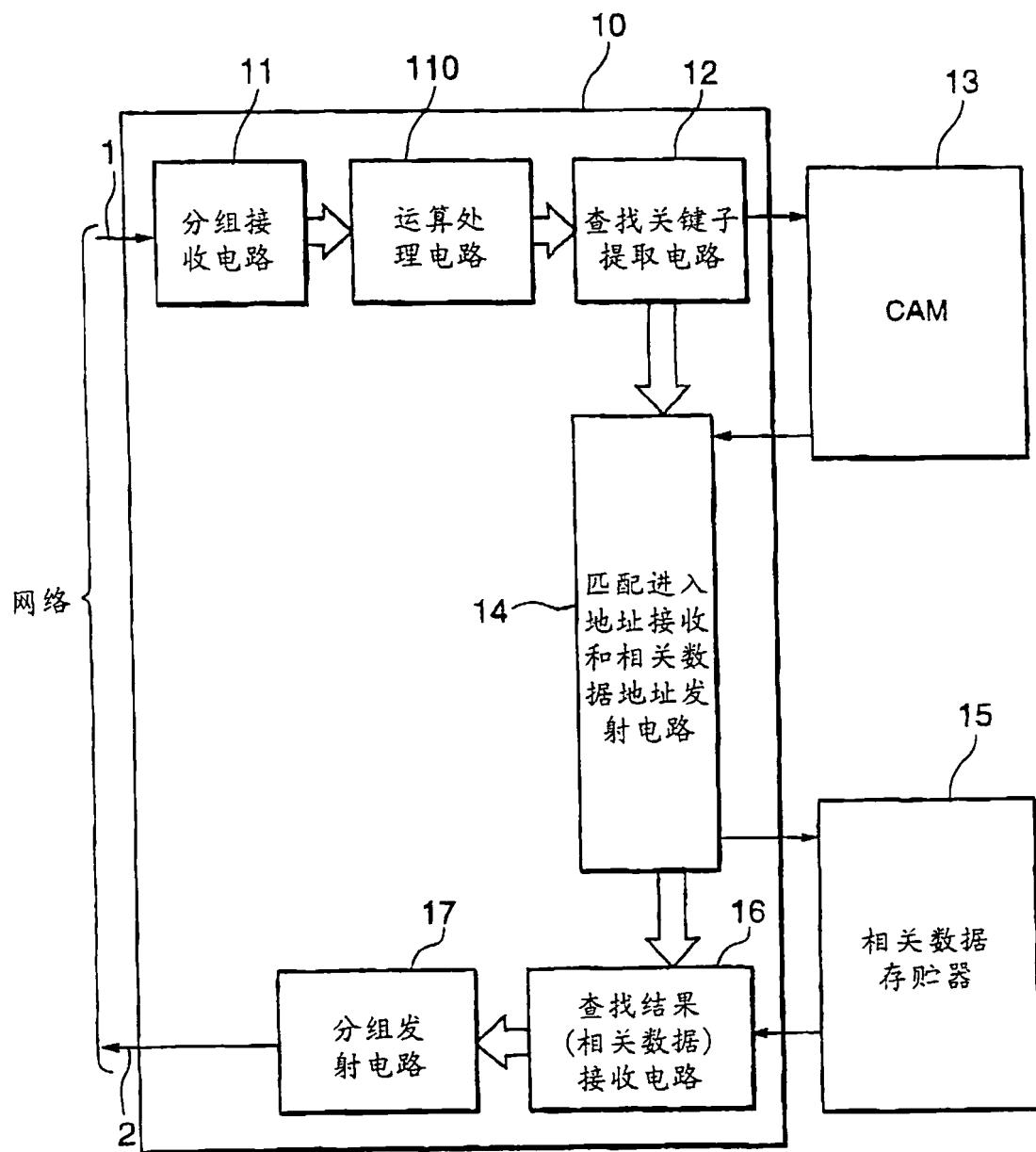


图 5

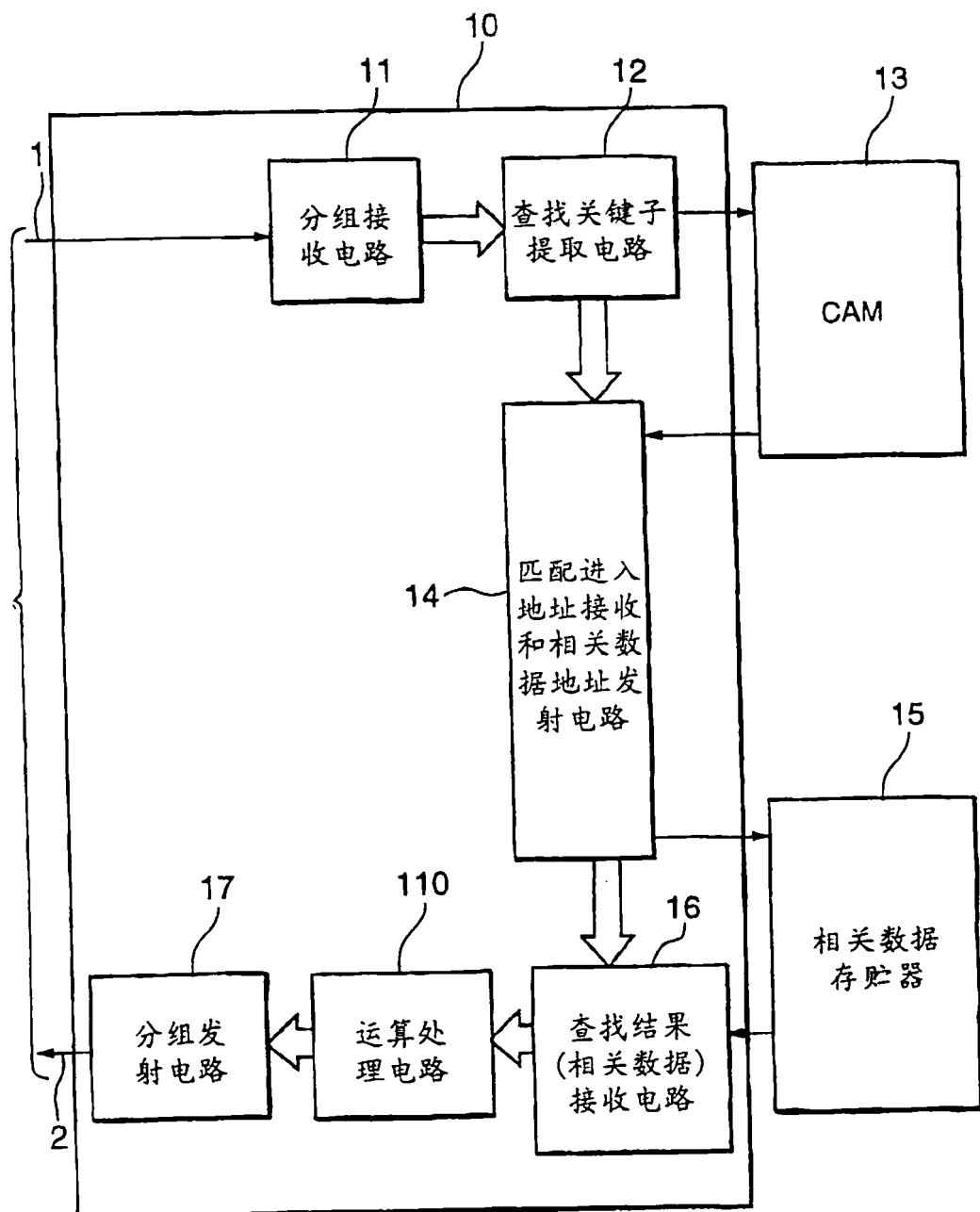
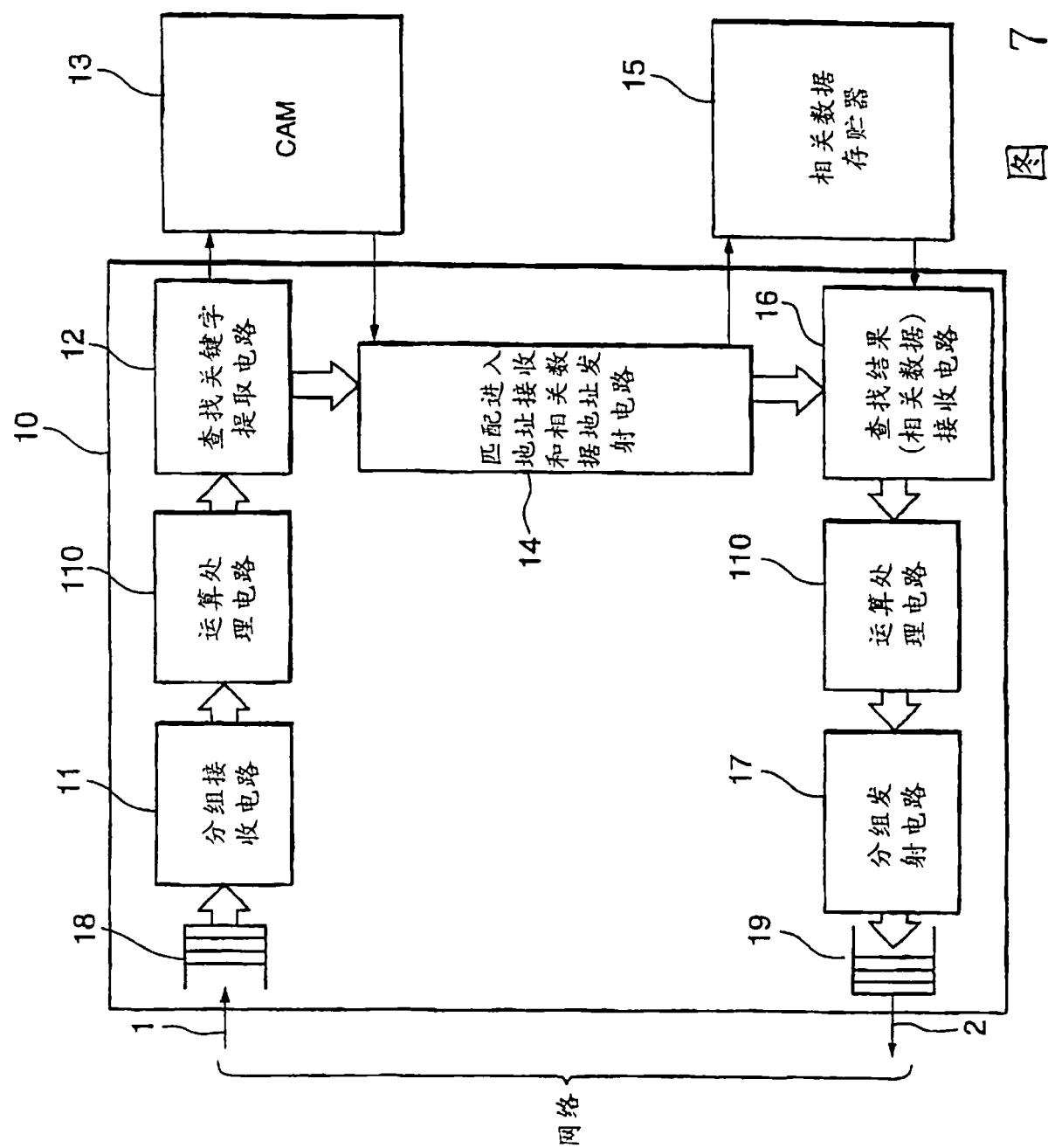


图 6



7

图